

PAT-NO: JP402257652A
DOCUMENT-IDENTIFIER: JP 02257652 A
TITLE: MANUFACTURE OF DIELECTRIC ISOLATION SUBSTRATE
PUBN-DATE: October 18, 1990

INVENTOR-INFORMATION:

NAME
MATSUOKA, SUSUMU
KAYAO, MASAHIKE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
OKI ELECTRIC IND CO LTD	N/A

APPL-NO: JP01076826

APPL-DATE: March 30, 1989

INT-CL (IPC): H01L021/76, H01L021/306

US-CL-CURRENT: 148/DIG.135, 438/404 , 438/FOR.222 , 438/FOR.485

ABSTRACT:

PURPOSE: To obtain a single-crystal Si island which is surrounded by an insulating film and whose depth is uniform by a method wherein a semiconductor single-crystal Si sheet is etched and removed by making use of a high-concentration impurity diffusion layer as a mask.

CONSTITUTION: Ions of high-concentration boron are implanted and diffused; a P<SP>+</SP> diffusion layer 101 is formed on the main surface of an N-type single-crystal Si sheet 101; V-grooves 300 are formed in an N-type epitaxial layer 102; an N<SP>+</SP> buried layer 103 and an oxide film 201 are applied; after that, a polycrystalline Si layer 400 is formed. Then, its

surface is polished and removed down to a D₁-D₁ line; after that, the bottom of the Si sheet 100 is polished and removed down to a D₂-D₂ line; the remaining Si sheet 100 is etched and removed completely. In this case, since an etch rate of the P₊ diffusion layer 101 containing boron at a high concentration is very slow at an alkali etching operation, it acts as an etching stopper, i.e., as a so-called mask. After that, the P₊ diffusion layer 101 and the N-type epitaxial layer 102 are polished; the bottom of the V-grooves 300 is exposed. Thereby, it is possible to obtain single-crystal Si islands 104a to 104d which have been surrounded by the oxide film 201.

COPYRIGHT: (C)1990,JPO&Japio

⑪ 公開特許公報 (A) 平2-257652

⑫ Int.Cl.⁵H 01 L 21/76
21/306

識別記号

庁内整理番号

D 7638-5F
B 7342-5F

⑬ 公開 平成2年(1990)10月18日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 誘電体分離基板の製造方法

⑮ 特 願 平1-76826

⑯ 出 願 平1(1989)3月30日

⑰ 発明者 松岡 進 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑰ 発明者 柏尾 真秀 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑰ 出願人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑰ 代理人 弁理士 菊池 弘

明細書

1. 発明の名称

誘電体分離基板の製造方法

2. 特許請求の範囲

半導体単結晶Si板の主表面上に高濃度の不純物拡散層を形成する工程と、

該不純物拡散層上にエピタキシャル単結晶Si層を成長させる工程と、

異方性エッティングを行ない、該エピタキシャル単結晶Si層の所定部に、複数のV溝を形成する工程と、

該V溝を含む上記エピタキシャル単結晶Si層表面に絶縁膜を被着形成する工程と、

該絶縁膜上に多結晶Si層を積層する工程と、

上記不純物拡散層をマスクとして上記半導体単結晶Si板のみをエッティング除去する工程と、

しかる後、上記不純物拡散層及び上記エピタキシャル単結晶Si層を研磨して上記V溝の底部を露出させる工程とを含むことを特徴とする誘電体分離基板の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は素子島周囲を絶縁膜で被う誘電体分離基板の製造方法に関するものである。

(従来の技術)

従来のこの種の誘電体分離基板の製造方法を、第3図にその製造工程図を示して述べる。

まず、N型の単結晶Si板10の所定表面部に酸化膜20のパターンを形成した後、この酸化膜20をマスクとしてアルカリ系の液、例えばKOH溶液により異方性エッティングを行ない、Si板10の所定領域に複数のV溝30を形成する(第3図a)。

次に、酸化膜20を除去した後、V溝30を含むSi板10の表面に、イオン注入拡散法等によりN埋込層11を形成する。更に、このN埋込層11表面に酸化膜21を形成した後、この酸化膜21上に支持体となる多結晶Si層40を概ねSi板10の厚さ程度形成する。その後、Si板10の表面と平行になるように、多結晶Si層40の表面をB-B線迄研磨除去する(第3図b)。

その後、上記得られた多結晶Si層40の表面を基準面としてSi板10の底面をC-C線、即ちV溝30の底部露出直前迄研磨除去する。この場合の研磨量は数1.00μmに及ぶため、研磨速度の速い荒研磨又は研削により行なう(第3図c, d)。尚、第3図(e)は第3図(d)を180°回転したものであって、Si板10の研磨後の状態を示す。

しかる後、V溝30の先端が露出する迄仕上げ研磨を行なう。この仕上げ研磨は20~30μmの研磨量であり、前工程で生じた加工歪層をとり除くのない鏡面を得るためにメカノケミカルポリッシング法により行なう。斯くて、単結晶Si島12a, 12b, 12c, 12dが夫々個別に酸化膜21で囲繞された誘電体分離基板を完成していた(第3図e)。

(発明が解決しようとする課題)

然し�乍ら、従来方法においては、支持体である多結晶Si層40を厚く形成するため、多結晶Si層40に作用する収縮応力等によりSi板10全体に反りが生じ、当該反りが研磨精度を低下させ、更

を含む上記エピタキシャル単結晶Si層表面に絶縁膜を被着形成する工程と、該絶縁膜上に多結晶Si層を積層する工程と、上記不純物拡散層をマスクとして上記半導体単結晶Si板のみをエッチング除去する工程と、しかしる後、上記不純物拡散層及び上記エピタキシャル単結晶Si層を研磨して上記V溝の底部を露出させる工程とを含むものである。

(作用)

本発明においては、半導体単結晶Si板上に高濃度の不純物拡散層を形成し、この不純物拡散層をマスクとして半導体単結晶Si板をエッチング除去するので、エッチング後は不純物拡散層が露出する。この不純物拡散層の露出面は平坦面であるため、後のエピタキシャル単結晶Si層の研磨が均一に行なわれる。よって、絶縁膜に囲まれた均一深さの単結晶Si島が得られる。

(実施例)

本発明製造方法に係わる一実施例を第1図に工程図及び第2図にボロンピーク濃度ともエピタキシャル成長との特性図を示して説明する。

には研磨量のばらつきも加わって均一深さの単結晶Si島12a~12dが形成できなかった。そのため、未分離領域やオーバー研磨領域が混在し、歩留りが低下するという問題点があった。勿論、Si板10表面の均一化を図るため、「特公昭63-19309」に開示されるように、研磨不足領域に多くの荷重を掛け、その部分の研磨速度を上げて仕上げ研磨する方法があるが、Si板10表面のばらつきが大きな場合は当該表面を完全に均一化できないという問題点があった。

本発明の目的は、上述の問題点に鑑み、均一深さの単結晶Si島が得られる誘電体分離基板の製造方法を提供するものである。

(課題を解決するための手段)

本発明は上述した目的を達成するため、半導体単結晶Si板の主表面上に高濃度の不純物拡散層を形成する工程と、該不純物拡散層上にエピタキシャル単結晶Si層を成長させる工程と、異方性エッチングを行ない、該エピタキシャル単結晶Si層の所定部に、複数のV溝を形成する工程と、該V溝

先ず、 $1 \times 10^{19}/\text{cm}^3$ 以上の高濃度ボロンをイオン注入拡散して(100)面を有するN型単結晶Si板100の主面上P+拡散層101を形成する(第1図a)。

その後、上記P+拡散層101上に所望の比抵抗及び厚さを有するN型エピタキシャル層102を成長する。この場合、第2図に示すように、P+拡散層101のボロンがN型エピタキシャル層102内にオートドーピングし、P+拡散層101のボロン濃度が低下するため、エピタキシャル成長温度をできるだけ低温にすることでP+拡散層101のボロンピーク濃度を $5 \times 10^{17}/\text{cm}^3$ 程度とする。又このときのP+拡散層101の厚さは約0.8μm程度とする。更に、N型エピタキシャル層102は、オートドーピングによるP+層化により使用できない層、所謂成長初期層を見込んで1.0~2.0μm程度厚めに成長させる(第1図b)。

次に、上記N型エピタキシャル層102上にパターン化した酸化膜200を形成した後、この酸化膜200をマスクとしてアルカリ異方性エッチ

ングを施し、N型エピタキシャル層102の所定部に深さが約30μのV溝300を形成する(第1図c)。

続いて、酸化膜200を除去した後、上記V溝300を含むN型エピタキシャル層102の裏面にイオン注入拡散等によりN埋込層103を被着し、更にその上に分離膜となる酸化膜201を被着形成する。その後、常圧CVD法を以て上記酸化膜201上に支持体となる多結晶SI層400を概ねSI板100の厚さ程形成する(第1図d)。

次いで、SI板100の底面を平行になるように多結晶SI層400の表面を第1図eに示すD₁-D₂線迄研磨除去した後、多結晶SI層400の表面を基準面としてSI板100の底面を同図に示すD₃-D₄線、即ちP⁺拡散層101に達する直前迄研磨除去する。尚、ここで研磨除去量は数100μに及ぶため、除去速度の速い研削法を用いる(第1図e)。尚、第1図(f)は第1図(d)を180°回転したものである。

更に、アルカリ異方性エッティングを行ない、

400の研磨面を基準面としてP⁺拡散層101及びN型エピタキシャル層102の研磨を行なっても良い。

(発明の効果)

以上説明したように本発明によれば、不純物拡散層をマスクとして半導体単結晶SI板をエッティング除去するので、エッティング後は不純物拡散層の平坦面が露出する。そのため、エピタキシャル単結晶SI層が均一に研磨でき、均一深さの単結晶SI島が形成できる。従って、誘電体分離基板における未分離領域やオーバー研磨領域がなくなり、歩留りが向上できる等の特有の効果により上述した課題を解決し得る。

4. 図面の簡単な説明

第1図及び第2図は本発明方法に係わる一実施例を示すもので、第1図は製造工程図、第2図はボロンピーク濃度-エピタキシャル成長特性図、第3図は従来方法の製造工程図である。

100…N型単結晶SI板、101…P⁺拡散層、
102…N型エピタキシャル層、103…N埋込

残存するSI板100を完全にエッティング除去する。この場合、ボロンを高濃度に含有するP⁺拡散層101はアルカリエッティングでのエッティング速度が非常に遅いため、エッティングストッパー、所謂マスクとして作用する。よって、このような特性を維持するため、N型エピタキシャル層102成長後の熱処理を伴う工程においてもできるだけ低温条件下で行ないP⁺拡散層101のボロンピーク濃度を高濃度に保つ必要がある(第1図f)。

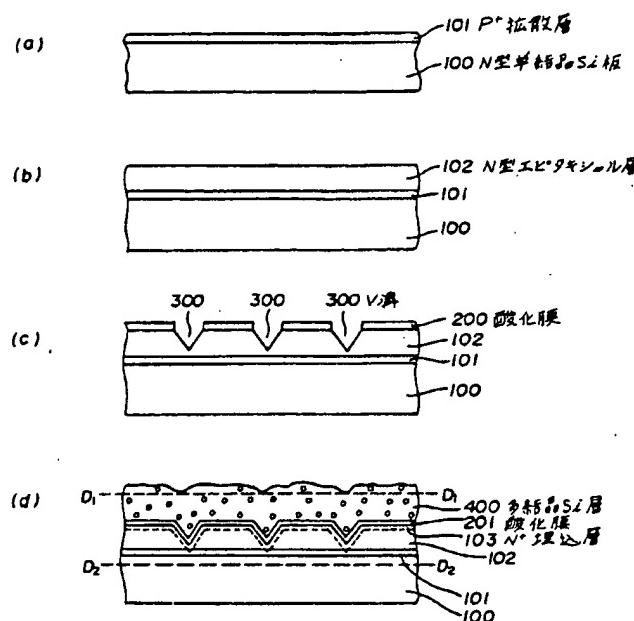
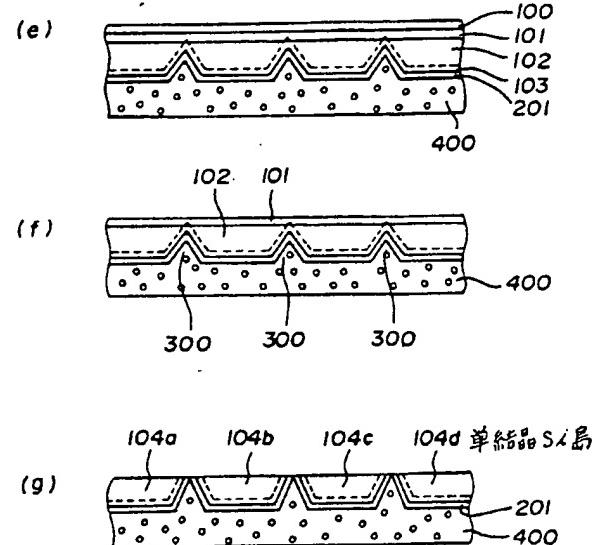
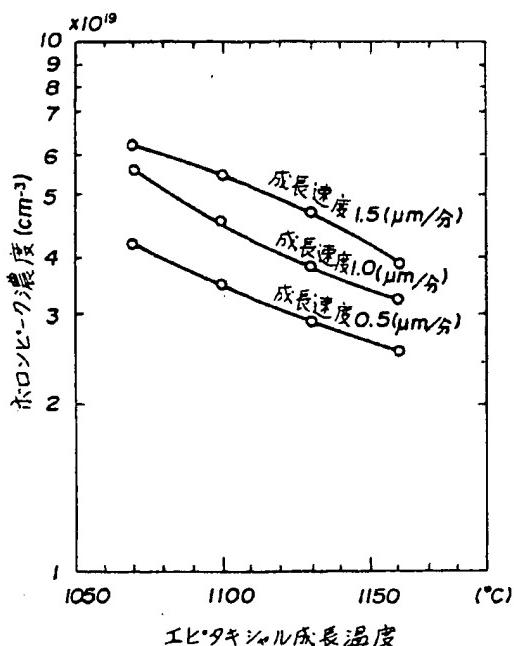
しかる後、P⁺拡散層101及びN型エピタキシャル層102を研磨してV溝300の底部を露出させる。斯くて、酸化膜201により囲繞された単結晶SI島104a、104b、104c、104dを有する誘電体分離基板が完成する(第1図g)。

尚、単結晶SI板100はN型に代えてボロン濃度の低いP型にしても良い。又、単結晶SI板100はアルカリエッティングのみで除去しても良い。更に、多結晶SI層400面を研磨してP⁺拡散層101と平行になるようにして置き、かかる多結晶SI層

層、104a、104b、104c、104d…
単結晶SI島、200、201…酸化膜、300…
V溝、400…多結晶SI層。

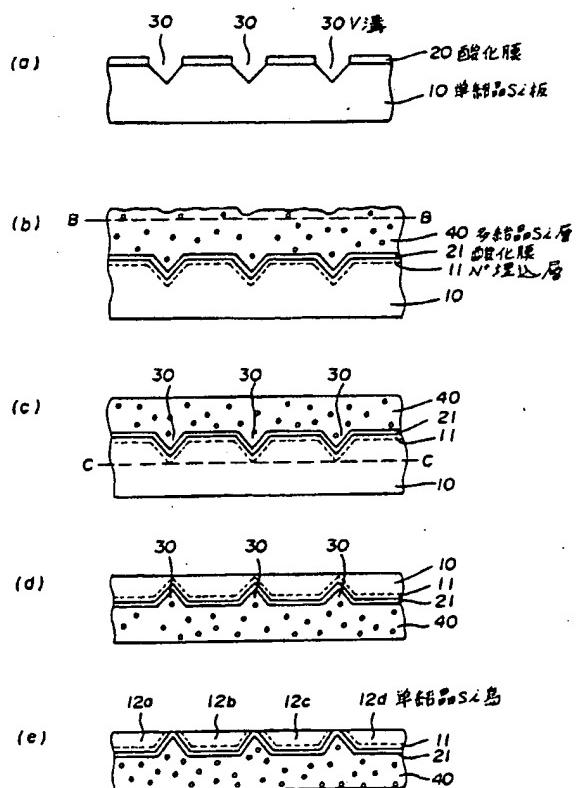
特許出願人 沖電気工業株式会社
代理人 弁理士 菊池



本発明方法の工程図
第1図本発明方法の工程図
第1図

ホロンピーク濃度-エピタキシャル成長特性図

第2図

従来方法の工程図
第3図